

1 ビジョンシステムの実用化に関する研究開発（第1報）

佐野 誠，武田幹雄，石津任章，藤原義也，土井貴広*，神長大輔**

Research and Development about Utilization of Vision System (1st Report)

SANO Makoto, TAKEDA Mikio, ISHIZU Hideaki, FUJIWARA Yoshinari, DOI Takahiro* and KAMINAGA Daisuke**

Members of Iwata project in Hiroshima Prefectural Institute of Industrial Science and Technology have studied the research on the intellectual advanced features of image processing for three years since 2000. They developed image processing IP (Intellectual Properties), wide dynamic range CMOS image sensor, matching processor, and so on.

So we utilize these results of Iwata project for several years. Especially we have studied image processing IP in this research. In order to enable composition of image processing IP in arbitrary combination, we improved, modified those IP and developed new one.

Moreover, we developed the software which can performed a imageprocessing algorithm without special knowledge of image processing IP or HDL (Hardware Description Language), for example Verilog-HDL or VHDL. The software can also simulate a result of the imageprocessing algorithm.

キーワード：画像処理，IP，FPGA，ハードウェア記述言語（HDL）

1 緒 言

画像処理技術は、製品の自動検査や生産工程の自動管理をはじめ、最近では人物認証や案内ロボットなど、私たちの身近なところでも広く使われるようになってきている。こうした背景のもと、広島県産業科学技術研究所・岩田プロジェクト（「リアルタイム物体・空間認識」プロジェクト）では、平成12年度から3年間、画像処理の知的高機能化に関する研究を行い、画像処理IP、広ダイナミックレンジイメージセンサ、マッチングプロセッサなどの研究開発が行われた。

本研究では、岩田プロジェクトの成果の一つである画像処理IPを、さらに成果普及する目的で、これら画像処理IPを活用した汎用画像処理システムを開発する。

初年度の15年度は、画像処理IPを任意の組み合わせで構成可能とするために、既開発のIPのアーキテクチャを再構成して改良し、正しく動作するか実機で検証を行う。また併せて、前処理用として要望の多い画像処理IPを新規に開発する。さらに、専門的な知識がなくても画像処理アルゴリズムの開発ができるように、簡単なGUI操作により画像処理IPを選択して組み合わせることで、それらのIPを使ったアルゴリズムをハードウェア上で構成できるようにするために、IPの同期・接続回路を自動生成するソフトウェアの開発を行う。

*株式会社サタケ，**株式会社インタフェース

2 画像処理 IP

2.1 概要

画像処理IP（Intellectual Properties）とは、画像処理の単体機能を設計した資産のことである。一般的には、HDL設計してモジュール化したものを指しており、既に機能検証が行われている。画像処理アルゴリズムの構築は、画像処理の単体機能を組み合わせることで実現するのが一般的なので、既にモジュール化されている画像処理IPを利用することは、単体機能の設計を不要とするので効率的なはずである。

しかしながら、IPを利用する際には、ユーザ仕様の周辺回路にIPを盛り込んで全体回路を作り上げるので、ユーザはIPの仕様を把握して、IPとのインターフェース部分を、周辺回路側で設計調整する必要が生じる。また、画像処理IPを任意の順序で組み合わせる場合に、IP間の同期や接続を適切に調整する回路が必要となる場合がほとんどであり、これらがIPの普及を妨げる大きな要因の一つになっている。

そこで、画像処理IPの利用を円滑にするため、周辺回路とのインターフェースやIP間の接続調整部のHDLソースコードを、アルゴリズムに応じて自動生成可能とするIP構造を実現した。その仕組みについては現在特許出願中である。

2.2 パイプライン

画像処理 IP の特長であるパイプライン構成を、CPU 処理と比較して図 1 に示す。CPU 処理の場合は、画像取り込みが終了してから処理が開始される。また、各単機能の処理時間は速いが、シリアルに処理される。これに対して画像処理 IP の場合は、画像を取り込む過程で処理を施すことができ、その単機能処理をつなげてパイプライン構成とすることで、平行処理が可能となる。そのため、画像処理 IP の各単機能の処理時間は CPU に劣るが、CPU が画像を取り

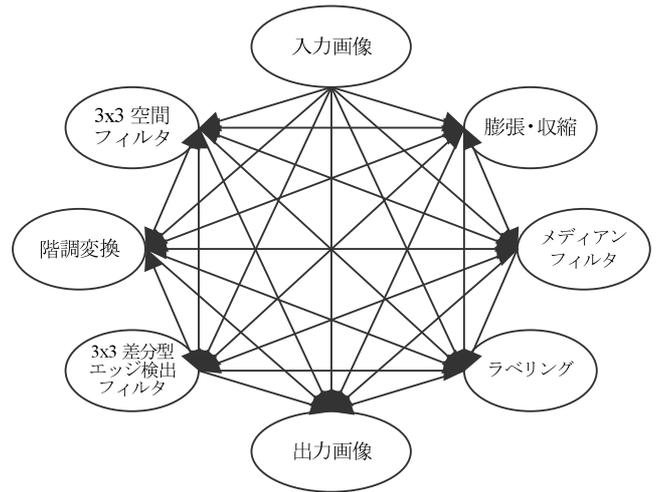


図 2 画像処理 IP のパイプライン構成

込んでいる最中に平行処理が実行可能なので、パイプラインの段数が増えるほど、CPU に対して処理は相対的に高速になる。更に、画像処理 IP を前処理に特化し CPU と組み合わせれば、よりいっそうの高速化が実現できる。これにより、ハードウェアとソフトウェアの両者の特長が活かされる。加えて、ハードウェアを FPGA で実現すると、画像処理 IP の柔軟性と再利用性という特長が活かされ、高速で柔軟性がある画像処理を短期間で構築できる。

岩田プロジェクトで開発した画像処理 IP の種類と性能を表 1 に示す。表中の値は、ターゲットデバイスを Altera 社 EPF10K50STC144 - 3 として算出した。(*)を 2 値画像処理 IP, (**)を含む全てを濃淡画像処理 IP として提供している。

各画像処理 IP の単体での動作検証は既に終了しているため、パイプラインの動作検証は図 2 のように各画像処理 IP を任意に組み合わせて主に位置ずれの有無を監視し、正しい処理結果が得られることを確認した。論理合成は Leonardo, 配置配線は QuartusII, 動作シミュレーションは ModelSim を使用した。また、濃淡画像処理 IP 検証用 PCI ボードに実装して実機での検証も行った。

2.3 新規画像処理 IP

今年度、新たに複数回の膨張・収縮とメディアンフィルタを開発した。前者は既に開発済みの 1 段の膨張・収縮を多段に拡張したものである。通常、膨張・収縮は多段で利用することが多いことと、FPGA のブロックメモリが 4 K ビット (デバイスによっては 2 K ビット) の一部しか使用していなくても、4 K ビット全てを消費してしまうことから、メモリ資源の少な

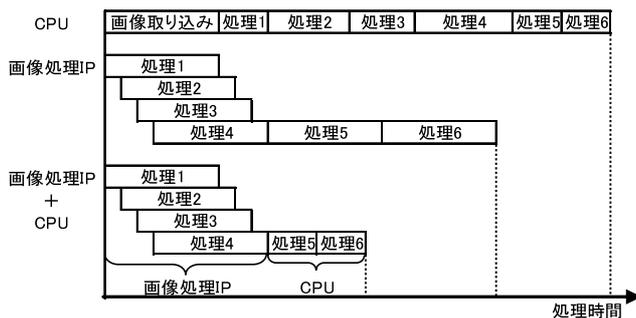


図 1 画像処理 IP のパイプライン構成

表 1 画像処理 IP の性能

| IP の種類 | 最高動作 周波数 | ロジック セル数 | RAM ビット数 |
|-----------------------|-------------|-------------|-------------|
| X 軸・Y 軸射影 (*) | 44MHz | 152 | 20480 |
| 周囲長 (*) | 52MHz | 117 | 1024 |
| 面積 (2 値) (*) | 116MHz | 22 | 0 |
| 重心 (2 値) (*) | 77MHz | 84 | 0 |
| フィル径 (2 値) (*) | 79MHz | 67 | 0 |
| 慣性等価楕円の傾き角 (2 値) (**) | 60MHz | 305 | 0 |
| 膨張・収縮 | 50MHz | 51 | 2048 |
| ラベリング | 23MHz | 566 | 61440 |
| 面積 (濃淡) | 44MHz | 109 | 5120 |
| 重心 (濃淡) | 28MHz | 293 | 15360 |
| フィル径 (濃淡) | 40MHz | 264 | 10240 |
| 慣性等価楕円の傾き角 (濃淡) | 25MHz | 667 | 30720 |
| 濃度ヒストグラム (*) | 51MHz | 93 | 5120 |
| 階調変換 | 47MHz | 29 | 2048 |
| 3 × 3 空間フィルタ | 45MHz | 1440 | 16384 |
| 3 × 3 差分型エッジ検出フィルタ | 45MHz | 2592 | 16384 |
| 画像間演算 (加算、減算、比較) | 120MHz | 109 | 0 |
| 抵抗ヒューズネットワーク | 39MHz | 1118 | 69376 |

表2 新規画像処理 IP の性能

| IP の種類 | 最高動作 周波数 | ロジック セル数 | RAM ビット数 |
|-----------|-------------|-------------|-------------|
| 膨張・収縮 8 段 | 47MHz | 345 | 16384 |
| メディアンフィルタ | 41MHz | 374 | 16384 |

い FPGA でメモリを有効活用するために開発した。後者はごま塩雑音の除去に効果を発揮するため、画像処理に欠かせない処理として開発した。開発した画像処理 IP の性能を表 2 に示す。

3 ソフトウェア開発

IP 同期・接続回路の自動生成に必要となる機能は、前段 IP の出力信号と後段 IP の入力信号を、機能に着目して適切に接続することと、その際に回路動作に併せてデータを確実に受け渡すために適切な同期を取ることであり、これを実現することで安定した動作が可能なインターフェイスが形成される。図 3 によりその機能を説明する。

ユーザが組み合わせたい 2 つの IP を選択すると (IP 1, IP 2 とする), システムは組み合わせテーブルを参照して、同期回路を生成するのに必要となる同期情報 (遅延情報など) と、接続回路を生成するのに必要となる接続情報 (入力出力対応表など) を獲得し、HDL 生成エンジンにその情報を渡す。HDL 生成エンジンでは、遅延や入出力対応などを考慮して、信

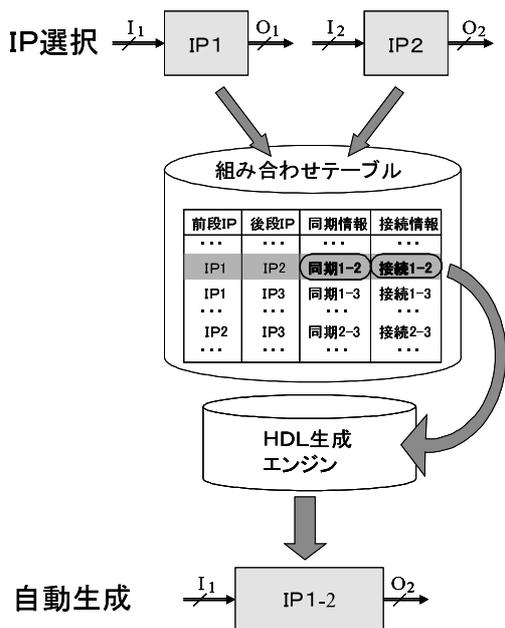


図3 同期・接続回路の自動生成機構

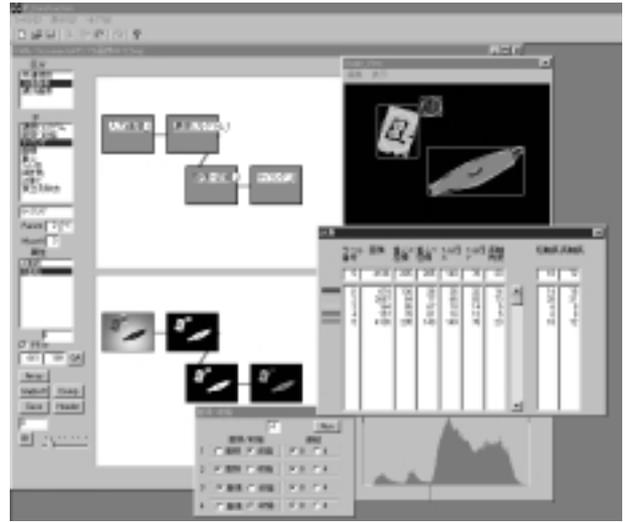


図4 画像処理アルゴリズムの実施例

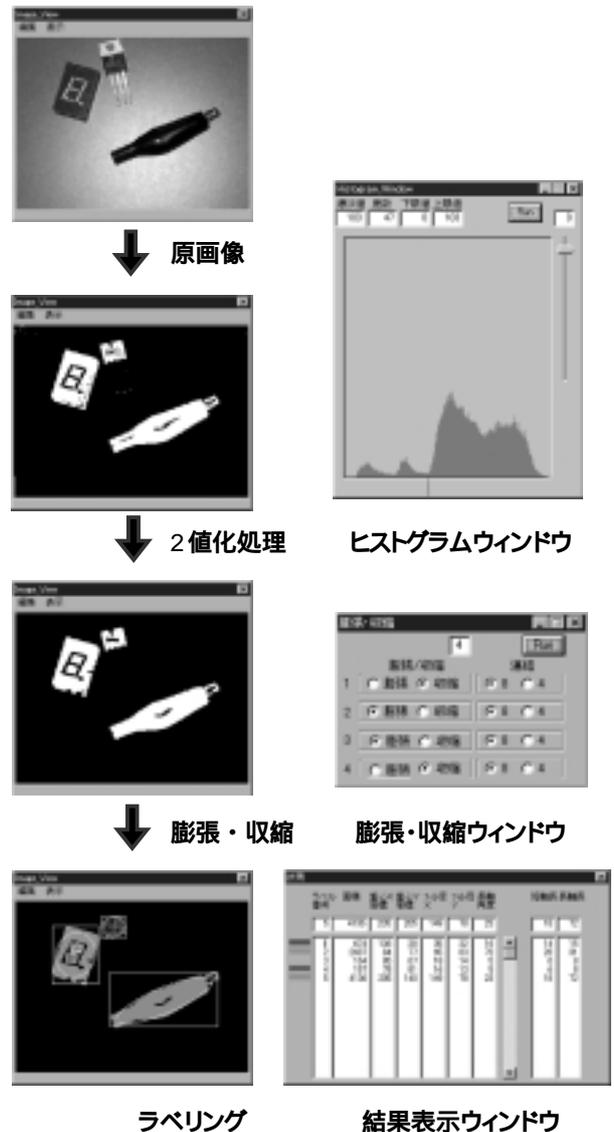


図5 各 IP の処理結果

号名や回路名がユニークとなるように考慮しながら，同期・接続回路の HDL を自動生成する。

また，画像処理結果を確認しながらアルゴリズムの構築ができるように，画像処理 IP のシミュレーション機能を開発した。実施例の概観図を **図 4** に示す。原画像に対して，2 値化処理 1 画素収縮 / 2 画素膨張 / 1 画素収縮 ラベリングを行った結果を示している。各 IP の処理結果を **図 5** に示す。また，その他の主な IP 機能を **図 6** に示す。空間フィルタの例としてラプラシアンフィルタを，差分型エッジ検出フィルタの例として Sobel フィルタを，階調変換の例として画像反転処理を示している。自動生成された同期・接続回路のソースコード表示も可能となっている。

4 結 言

画像処理 IP の利用を円滑にするため，ユーザが IP の仕様を把握しなくても回路設計ができるように，既開発の画像処理 IP のアーキテクチャを再構成して改良した。これにより，アルゴリズムに応じた HDL ソースコードを自動生成しやすい構造を持つ画像処理 IP を実現した。また，複数回の膨張・収縮 IP とメディアンフィルタ IP を新規に開発した。

併せて，簡単な GUI 操作により画像処理 IP を選択して組み合わせることで，画像処理アルゴリズムを HDL 生成でき，そのシミュレーションも可能なソフトウェアを開発した。

現在，画像処理 IP の自動生成機構に関して，特許を出願中である。また，画像処理 IP の成果は，県内企業の穀粒判別器や画像処理ポートに活用されている。

文 献

- 1) 大沢他，画像処理標準テキストブック，下田陽久（編），画像情報教育振興協会，1997
- 2) 谷口慶治，画像処理工学基礎編，共立出版，1996
- 3) 平成14年度研究成果報告書，広島県産業科学技術研究所，2003



図 6 その他の IP の主な機能