

ビジョンシステムの実用化に関する研究開発

広島県立西部工業技術センター

平成15～17年度

情報技術部 佐野 誠, 武田幹雄, 石津任章, 馬場祥宏

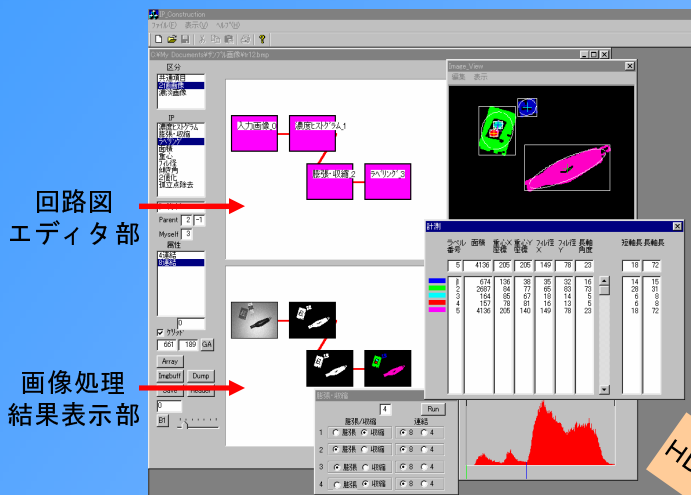
(株)サタケ (株)インタフェース 東部工業技術センター 広島大学 (株)ARTec

研究目的

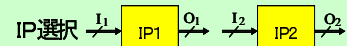
簡単なGUI操作により、処理結果を見ながら画像処理IPを選択して組み合わせること
で画像処理アルゴリズムが構築でき、それに相当するHDLを自動生成するソフト
ウェアを開発します。

研究内容

IPとのインターフェース部分やIP間の接続調整部のHDLソースコードを、アルゴリ
ズムに応じて自動生成できるIPの新構造を開発しました。また、ブロック図作成の要領
で処理結果を見ながらアルゴリズムを構築し、回路情報を自動生成できるソフトウェ
アを開発しました。



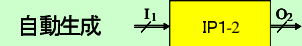
同期・接続回路の自動生成機構



組み合わせテーブル

前段IP	後段IP	同期情報	接続情報
...
IP1	IP2	同期-2	接続-2
IP1	IP3	同期-3	接続-3
IP2	IP3	同期-3	接続-3
...

HDL生成
エンジン



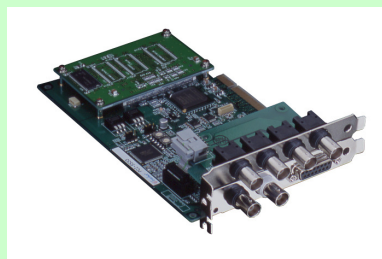
画像処理ボード上
のFPGAに
ダウンロードして完成

専用ツール
(論理合成)
(配置配線)

```
if (clock == 1) begin
  // Reset logic
  reset <= 0;
end else if (clock == 2) begin
  // Signal processing logic
  signal <= signal + 1;
end else if (clock == 3) begin
  // Output logic
  output <= signal;
end
```

開発したアルゴリズムに相当
する回路を自動生成（接続に
必要な周辺回路も自動生成）

研究成果



画像処理ボードとして製品化



穀粒判別器(玄米の等級
判定支援)として製品化

(その他)

- ・工業製品、農作物、水産物等の
検査及び仕分
- ・機械加工、組立等の監視・制御
- ・施肥、給水、給餌等のための
生育状況等の監視 など